# 第八周学习指南

## 8.1 课程内容

课程内容包括慕课中第六章异步时序逻辑电路的6.1节异步时序逻辑电路的特点与分类和6.2节脉冲异步时序逻辑电路。

脉冲异步时序逻辑电路需要了解异步时序逻辑电路的特点，它的分析和设计过程与同步时序逻辑电路类似，但是要注意输入约束以及边沿触发器上升和下降沿对电路功能的影响。

另外本周还有一个重要的工作是做好第九周实验的预习工作。

## 8.2 教学重点

**1. 异步时序逻辑电路的特点与分类**

* 掌握异步时序逻辑电路的分类。
* 掌握异步时序逻辑电路与同步时序逻辑电路的异同。
* 掌握脉冲异步时序逻辑电路的输入约束。尤其是不允许两个输入脉冲同时到来（客观上不能够同步）
* 掌握脉冲异步时序逻辑电路的输出：Mealy型输出一般为脉冲；Moore型输出一般为电平。

**2. 脉冲异步时序逻辑电路分析**

* 掌握脉冲异步时序逻辑电路的分析过程。
* 与同步时序逻辑电路相比，使用钟控触发器的电路多了时钟端的激励函数表达式。
* 判断钟控触发器是否发生翻转要看钟控触发器的时钟端是否会出现对应的上升或者下降沿。如果时钟端激励函数不包含输入，则可以根据电路现态和次态进行判断；如果包含输入，则要综合判断，例如下降沿触发的触发器时钟端激励函数C=xy1，如果y1现态为0，那么触发器不会翻转，如果y1现态为1，则触发器在输入脉冲作用下一定会翻转。

**3. 脉冲异步时序逻辑电路设计**

* 脉冲异步时序逻辑电路的设计过程与同步时序逻辑电路基本相同。
* 注意设计时时钟端的激励，状态不变有两种情况，可任意选择其中一种。

## 8.3 本周作业及要求

**习题六：6.1；6.2；6.3；6.6。**



6.1 分析图6.36所示脉冲异步时序逻辑电路。

（1）画次态真值表。

（2）作出状态表和状态图；

（3）说明电路逻辑功能。

6.2 分析图6.37所示脉冲异步时序逻辑电路。

（1）画次态真值表。

（2）作出状态表和状态图；

（3）说明电路逻辑功能。



6.3 分析图6.38所示脉冲异步时序逻辑电路。

（1）画次态真值表。

（2）作出状态表和状态图；

（3）说明电路逻辑功能。



6.6 用T触发器作为存储元件，设计一个脉冲异步时序逻辑电路，该电路有两个输入x1和x2，一个输出Z，当输入序列为“x1-x1-x2”时，在输出端Z产生一个脉冲，平时Z输出为0。